

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111415

(43)Date of publication of application : 20.04.2001

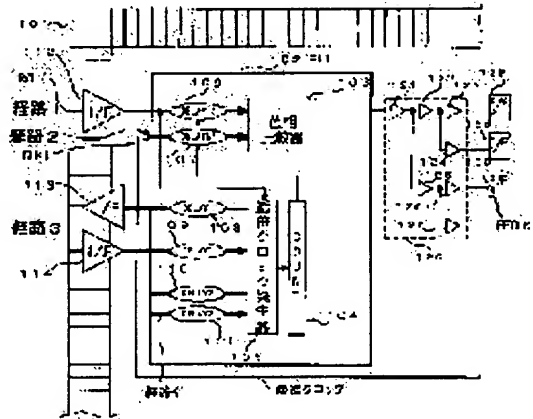
(51)Int.Cl. H03L 7/08
G06F 1/10
H03L 7/085

(21)Application number : 11-287928 (71)Applicant : NEC CORP
(22)Date of filing : 08.10.1999 (72)Inventor : MAEDA YOSHIFUMI

(54) PLL CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a PLL circuit capable of improving the accuracy of phase synchronization of a PLL and suppressing the reduction of phase comparison accuracy due to the dispersion of manufacture and a wiring state in an LSI.

SOLUTION: The PLL circuit is provided with 1st and 2nd variable delay elements whose delay time can be variably set and which are inserted into a route 1 from a reference clock input terminal up to the input terminal of a phase comparator in the PLL circuit and a route 2 from an input terminal for feedback inputting a clock outputted from the PLL circuit up to the input terminal of the phase comparator respectively, and with an automatic phase error correction means which sets the delay time of the 1st and 2nd variable delay elements on the basis of the measured result of a delay time difference between routes 3, 4 equivalent to the routes 1, 2 and sets the delay time of the 1st and 2nd routes to a mutually equal value.

**LEGAL STATUS**

[Date of request for examination] 04.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3415516

[Date of registration] 04.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl. ⁷	識別記号	FI	テーマコード(参考)
H03L 7/08		H03L 7/08	G 5B079
G06F 1/10		G06F 1/04	330A 5J106
H03L 7/085		H03L 7/08	A

審査請求 有 請求項の数11 OL (全 7 頁)

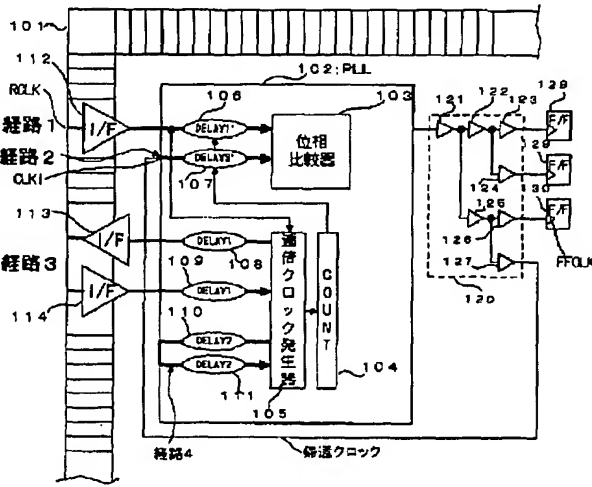
(21)出願番号	特願平11-287928	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年10月8日(1999.10.8)	(72)発明者	前田 義史 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100080816 弁理士 加藤 朝道
		Fターム(参考)	5B079 BA20 BB10 CC02 CC14 DD04 DD06 DD13 DD20 5J106 AA04 CC01 CC21 CC41 CC54 CC59 DD17 FF06 GG10 HH02 KK06 KK32 KK36

(54)【発明の名称】 PLL回路及び半導体集積回路

(57)【要約】

【課題】PLLの位相同期の精度を向上し、製造バラツキ、及びLSI内部の配線状況に由来する位相比較精度の低下を抑止するPLL回の提供。

【解決手段】基準クロック入力端子からPLL回路の位相比較器の入力端までの経路1と、PLL回路から出力されるクロックを帰還入力するための入力端から位相比較器の入力端までの経路2に、それぞれ、遅延時間が可変に設定可能な第1及び第2の可変遅延素子を挿入し、経路1と経路2と等価な経路3、4における遅延時間差の測定結果に基づき、前記第1及び第2の可変遅延素子の遅延時間を設定し、前記第1の経路と第2の経路の遅延時間を互いに等しくする位相誤差自動補正手段を備える。



【特許請求の範囲】

【請求項 1】基準クロック入力端子から PLL 回路の位相比較器の第 1 の入力端までの第 1 の経路と、前記 PLL 回路の出力端から出力されるクロックを帰還クロックとして入力する前記 PLL 回路の入力端から前記位相比較器の第 2 の入力端までの第 2 の経路に、それぞれ挿入され、遅延時間が可変に設定可能な第 1 及び第 2 の可変遅延素子と、

前記第 1 の経路と前記第 2 の経路の遅延時間の差に基づき、第 1 及び第 2 の可変遅延素子の遅延時間を調整することで、前記第 1 の経路と第 2 の経路の遅延時間を互いに等しくするように制御する位相誤差自動補正手段と、を備えたことを特徴とする PLL 回路。

【請求項 2】基準クロック入力端子から PLL 回路の位相比較器の第 1 の入力端までの第 1 の経路と、前記 PLL 回路から出力されるクロックを帰還クロックとして入力する前記 PLL 回路の入力端から前記位相比較器の第 2 の入力端までの第 2 の経路に、それぞれ挿入され、遅延時間が可変に設定可能な第 1 及び第 2 の可変遅延素子と、

前記第 1 及び第 2 の経路とそれぞれ等価な経路を含む遅延時間測定用の第 3 及び第 4 の経路における遅延時間の差の測定結果に基づき、前記第 1 及び第 2 の可変遅延素子の遅延時間を設定し、前記第 1 の経路と第 2 の経路の遅延時間を互いに等しくする位相誤差自動補正手段と、を備えたことを特徴とする PLL 回路。

【請求項 3】前記位相誤差自動補正手段が、入力された基準クロックを逡倍したクロックを生成する逡倍クロック発生器と、

前記逡倍クロック発生器から出力される逡倍クロックにより、前記第 3 の経路と前記第 4 の経路の遅延時間の差を計数するカウンタと、

を備え、前記カウンタのカウント値に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定し、前記第 1 の経路と前記第 2 の経路の遅延時間を等しくしたことを特徴とする請求項 2 記載の PLL 回路。

【請求項 4】前記第 1 の経路において、前記基準クロック入力端子から入力された基準クロックはインタフェースバッファ、及び前記第 1 の可変遅延素子を介して前記 PLL 回路の位相比較器の第 1 の入力端に入力され、前記第 2 の経路において、前記 PLL 回路の入力端から入力された前記帰還クロックは前記第 2 の可変遅延素子を介して、前記 PLL 回路の位相比較器の第 2 の入力端に入力されており、

前記第 3 の経路は、前記逡倍クロック発生器から出力されるクロックが第 1 の遅延素子及び第 1 のインタフェースバッファを介して出力端子から出力された後に折り返されて入力端子に入力され第 2 のインタフェースバッファ、及び第 2 の遅延素子を介して前記逡倍クロック発生器に帰還入力される経路よりなり、

前記第 4 の経路は、前記逡倍クロック発生器から出力されるクロックが第 3 の遅延素子を介して PLL 回路の領域端部まで送出されて折り返され第 4 の遅延素子を介して前記逡倍クロック発生器に帰還入力される経路よりなり、

前記逡倍クロック発生器から前記第 3 の経路と前記第 4 の経路に送出したクロックが前記逡倍クロック発生器に戻るまでの遅延時間の差を前記カウンタで測定し、前記カウンタのカウント値に基づき、前記第 1 及び第 2 の可変遅延素子の遅延時間を設定する、ことを特徴とする請求項 2 又は 3 記載の PLL 回路。

【請求項 5】電源投入時もしくはリセット時に、前記位相誤差自動補正手段が、前記第 3 の経路と前記第 4 の経路の遅延時間の測定結果に基づき、前記第 1 の経路と前記第 2 の経路の遅延時間を等しくする調整処理を行う、ことを特徴とする請求項 2 乃至 4 のいずれかに記載の PLL 回路。

【請求項 6】前記カウンタの初期値が外部から設定自在とされている、ことを特徴とする請求項 3 乃至 5 のいずれかに記載の PLL 回路。

【請求項 7】外部端子から入力した基準クロックから内部クロックを生成出力する PLL 回路を備えた半導体集積回路装置において、

前記基準クロックを入力する前記外部端子から前記 PLL 回路の位相比較器の第 1 の入力端までの第 1 の経路と、前記 PLL 回路から供給される前記半導体集積回路の内部回路に内部クロックを帰還クロックとして入力する前記 PLL 回路の入力端から前記位相比較器の第 2 の入力端までの第 2 の経路に、それぞれ、遅延時間が可変に設定可能な第 1、第 2 の可変遅延素子を挿入し、前記第 1 及び第 2 の経路とそれぞれ等価な経路を含む遅延時間測定用の第 3、第 4 の経路における遅延時間の差の測定結果に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定し、前記第 1 の経路と前記第 2 の経路の遅延時間を等しくする位相誤差自動補正手段を備えたことを特徴とする半導体集積回路装置。

【請求項 8】前記位相誤差自動補正手段が、前記外部端子から入力される前記基準クロックを逡倍したクロックを生成する逡倍クロック発生器と、

前記逡倍クロック発生器から出力される逡倍クロックにより前記第 3 の経路の遅延時間と前記第 4 の経路の遅延時間の差をカウントするカウンタと、を備え、前記カウンタのカウント値に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定し、前記第 1 の経路と前記第 2 の経路の遅延時間を等しくしたことを特徴とする請求項 7 記載の半導体集積回路装置。

【請求項 9】前記第 1 の経路において、前記基準クロック入力端子から入力された基準クロックはインタフェースバッファ、及び前記第 1 の可変遅延素子を介して前記 PLL 回路の前記位相比較器の第 1 の入力端に入力さ

れ、

前記第 2 の経路において、前記 PLL 回路の入力端から入力された前記帰還クロックは前記第 2 の可変遅延素子を介して、前記位相比較器の第 2 の入力端に入力されており、

前記第 3 の経路が、前記通倍クロック発生器から出力されるクロックを、第 1 の遅延素子、及び第 1 のインタフェースバッファを介して前記半導体集積回路装置外部に出力する送出路と、前記出力されたクロックをそのまま折り返し第 2 のインタフェースバッファを介して前記半導体集積回路装置内部に取り込み、さらに第 2 の遅延素子を介して前記通倍クロック発生器に入力する帰還路よりなり、

前記第 4 の経路が、前記通倍クロック発生器から出力されるクロックを、第 3 の遅延素子を介して前記 PLL 回路の端部まで送出する送出路と、前記端部まで送出されたクロックを折り返し第 4 の遅延素子を介して前記通倍クロック発生器に入力する帰還路よりなり、

前記通倍クロック発生器から前記第 3 の経路と前記第 4 の経路に送出したクロックが前記通倍クロック発生器に戻るまでの遅延時間の差を前記カウンタで測定し、前記カウンタのカウント値に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定する、ことを特徴とする請求項 8 記載の半導体集積回路装置。

【請求項 10】前記位相誤差自動補正手段が、電源投入時もしくはリセット時に、前記第 3 の経路と前記第 4 の経路の遅延時間の測定結果に基づき、前記第 1 の経路と前記、第 2 の経路の遅延時間を等しくする補正処理を行う、ことを特徴とする請求項 7 乃至 9 のいずれかに記載の半導体集積回路装置。

【請求項 11】前記カウンタの初期値が外部端子から設定自在とされている、ことを特徴とする請求項 8 乃至 10 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路のクロック制御回路に関し、特に PLL 回路の位相比較器の位相誤差の自動補正を行う回路に関する。

【0002】

【従来の技術】外部から供給されるクロックと内部クロックの位相を同期させるためのクロック同期回路の一つとして PLL (Phase Locked Loop; 位相同期ループ) 回路が用いられる。図 3 は、半導体集積回路に設けられた従来の PLL 回路の構成を模式的に示す図である。図 3 を参照すると、各 LSI 内部の PLL 回路 302 が LSI 301 外部からのクロックと、LSI 301 内部のクロックツリーシンセシス (Clock Tree Synthesis、以下「CTS」と略記する) に連なるフリップフロップ 313～315 等のクロックの位相の同期をとることで、不図示のボード等に配設される複数の LSI 間

でのクロックの同期が実現されている。

【0003】LSI 301 内のフリップフロップ 315 のクロック入力端子 FFCLK に供給される内部クロックと、LSI 301 外部のクロックの位相が同期しているか否かの判断は、PLL 回路 302 の位相比較器 303 で、外部クロックと内部クロックの位相を比較することで行い、位相比較器 303 の後段に設けられたループフィルタを介し電圧制御発振器 (VCO) から出力される内部クロックを位相比較器 303 に帰還入力することで、位相同期の動作を行う。

【0004】ところで、位相比較の判断が正確に行われるためには、位相比較器 303 までの 2 つの経路、すなわち LSI 301 の外部入力端子 RCLK からインタフェース (I/F) バッファ 304 を通って PLL 302 内の位相比較器 303 の第 1 の入力端に達する基準クロックの経路 1 と、PLL 302 の入力端子 CLKI から PLL 302 の位相比較器 303 の第 2 の入力端までの帰還クロックの経路 2 の遅延時間が同一であることが前提とされ、PLL 回路設計時に、互いに同一となるようにあわせ込みが行われる。

【0005】

【発明が解決しようとする課題】しかしながら、この 2 つの経路 1、2 の遅延値のあわせ込みは、PLL 設計時のものであるため、LSI の量産時の製造バラツキ等により、経路 1、2 の遅延が、同一値から外れる場合がある。

【0006】また LSI のチップレベルでの設計時において、LSI 301 の配線状況により、LSI 301 の外部から位相比較器 303 までの遅延値が変動する場合がある。

【0007】現在のところ、PLL の位相比較器の入力経路に、LSI 個々の製造バラツキ及び、LSI 内部の配線状況に由来する遅延値のズレを補正するための対策は講じられていないというのが実情である。このため、電気機器の誤動作、故障を発生させる一因ともなっている。

【0008】PLL 回路の従来技術として、例えば特開平 10-093429 号公報には、PLL 内の遅延回路を制御して内部クロックと外部クロックが一致する場合の位相誤差を小さくする回路構成が提案されている。図 4 は、特開平 10-093429 号公報に記載されている PLL 回路の構成を示す図である。図 4 を参照すると、外部クロック CLKSYN は遅延回路 21 及びクロックバッファ 22 を経由して内部クロック CLKB となり、位相比較器 23 は、両クロックの位相差を検出する。カウンタ 24 は、位相比較器 23 の比較結果に基づいて、カウント値を変化させ、カウント値の最下位ビットはトランсмисシオンゲート 27-0、27-1 のオン・オフを制御し、カウント値の最下位以外のビットはデコーダ 25 に入力され、デコーダ 25 の出力は、トラ

ンスミッションゲート 26-0 ~ 26-(N-1) のオン、オフを制御する。

【0009】図 4 に示した構成と、図 3 に示した回路構成とを比較すると、外部端子 CLKSY S から位相比較器 23 までが経路 1 に相当し、端子 CLKI から位相比較器 23 までが経路 2 に相当する。経路 1 と経路 2 に関して、LSI 個々の製造バラツキ、及び、LSI 内部の配線状況等に由来する遅延値のズレの補正の手段は講じられていない。

【0010】そして、PLL 設計時に、この 2 つの経路の遅延値をあわせ込むには、シミュレーション資源の確保等、莫大なエネルギーを必要とし設計コストの増大につながっている。

【0011】また例えば特開平 2-105910 号公報には、クロック発生源から供給される周波数情報と位相情報に基づいて互いに一致したクロックを形成する複数のクロック調整手段を備え、クロック調整手段は、クロック発生源からの位相情報を有する比較クロック (REF) とフィードバック信号 (FB) との位相差を検出する位相比較手段と、その位相差に応じてクロック (MC

K) を遅延させる可変遅延手段を備えた構成が開示されている。この特開平 2-105910 号公報においても、位相比較手段に入力される比較クロック (REF) とフィードバック信号 (FB) との間の遅延時間の調整についてはいっさい考慮されていない。

【0012】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、PLL の位相同期の精度を向上し、製造バラツキ、及び LSI 内部の配線状況に由来する位相比較精度の低下を抑止する PLL 回路及び該 PLL 回路を含む半導体集積回路装置を提供することにある。

【0013】

【課題を解決するための手段】前記目的を達成する本発明は、基準クロック入力端子から PLL 回路の位相比較器の第 1 の入力端までの第 1 の経路と、前記 PLL 回路から出力されるクロックを帰還入力するための前記 PLL 回路の入力端から前記位相比較器の第 2 の入力端までの第 2 の経路に、それぞれ、遅延時間が可変に設定可能な第 1 及び第 2 の可変遅延素子を挿入し、前記第 1 及び第 2 の経路とそれぞれ等価な経路を含む遅延時間測定用の第 3、及び第 4 の経路における遅延時間の差の測定結果に基づき、前記第 1 及び第 2 の可変遅延素子の遅延時間を設定し、前記第 1 の経路と第 2 の経路の遅延時間を互いに等しくする位相誤差自動補正手段を備える。

【0014】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、外部端子から入力される基準クロックを入力とする PLL 回路で内部クロックを生成する半導体集積回路装置において、前記基準クロックを入力する前記外部端子から

前記 PLL 回路の位相比較器の第 1 の入力端までの第 1 の経路と、前記 PLL 回路から出力されるクロックを帰還クロック (フィードバック信号) として入力する前記 PLL 回路の入力端から前記位相比較器の第 2 の入力端までの第 2 の経路に、それぞれ、遅延時間が可変に設定可能な第 1、第 2 の可変遅延素子を挿入し、前記第 1 及び第 2 の経路にそれぞれ等価な経路を含む遅延時間測定用の第 3、第 4 の経路における遅延時間の差の測定結果に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定し、前記第 1、第 2 の経路の遅延時間を等しくする位相誤差自動補正手段を備える。位相誤差自動補正手段は、前記外部端子から入力される前記基準クロックを逡倍したクロックを生成する逡倍クロック発生器と、前記逡倍クロック発生器から出力される逡倍クロックにより前記第 3 の経路の遅延時間と前記第 4 の経路の遅延時間の差をカウントするカウンタと、を備え、前記カウンタのカウント値に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定し、前記第 1、第 2 の経路の遅延時間を等しくする。

【0015】本発明は、その一実施の形態において、前記第 1 の経路において、前記基準クロック入力端子はインタフェースバッファ、及び前記第 1 の可変遅延素子を介して前記 PLL 回路の位相比較器の第 1 の入力端に接続され、前記第 2 の経路において、前記 PLL 回路から出力されるクロックを帰還入力するための前記 PLL 回路の入力端が前記第 2 の可変遅延素子を介して、前記位相比較器の第 2 の入力端に接続されており、前記第 3 の経路が、前記逡倍クロック発生器から出力されるクロックを、第 1 の遅延素子、第 1 のインタフェースバッファから半導体集積回路装置外部に出力する送出路と、前記出力されたクロックを折り返して、第 2 のインタフェースバッファを介して半導体集積回路装置内部に取り込み、さらに第 2 の遅延素子を介して前記逡倍クロック発生器に入力する帰還路よりなり、前記第 4 の経路が、前記逡倍クロック発生器から出力されるクロックを、第 3 の遅延素子を介して PLL 回路の端部まで配線された送出路と、前記端部で折り返し第 4 の遅延素子を介して前記逡倍クロック発生器に入力する帰還路よりなり、前記第 3 の経路と前記第 4 の経路に前記逡倍クロック発生器から出力されるクロックを供給し、前記第 3 の経路と前記第 4 の経路の帰還路に戻ったクロックの時間差に基づき、前記第 3、第 4 の経路の遅延時間の差を前記カウンタで測定し、前記前記カウンタのカウント値に基づき、前記第 1、第 2 の可変遅延素子の遅延時間を設定する。

【0016】本発明は、その一実施の形態において、前記位相誤差自動補正手段が、電源投入時もしくはリセット時に、前記第 1 の経路と前記第 2 の経路の遅延時間の測定結果に基づき、前記第 1、第 2 の経路の遅延時間を等しくする補正処理を行う。

【0017】

【実施例】本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例の構成を示す図である。本発明は、製造バラツキ、及びLSI内部の配線状況に由来する位相比較精度の低下を抑えるものである。

【0018】図1を参照すると、LSI101の電源投入時またはリセット実行時に、PLL102内部の通倍クロック発生器105で通倍されたクロックによって、位相比較器103までの2つの経路、すなわちLSI102の外部入力端子RCLKからI/Fバッファ112 10 を通ってPLL102内の位相比較器103に達する基準クロックの経路1と、PLL102の入力端子CLKIからの位相比較器103までの帰還クロックの経路2の遅延値の差に対応する、経路3と経路4の遅延時間の差をPLL102のカウンタ104でカウントすることによって測定し、その測定結果によって、経路1及び経路2上の可変遅延素子106、107を制御して、経路1及び経路2の遅延値を同じとする。

【0019】LSI101は、インタフェースバッファ112、113、114と、PLL102と、クロック 20 の遅延を均等化させるためのツリー状に配置・配線されるバッファ群121～127よりなるCTS（クロックツリーシンセシス）バッファ120と、フリップフリップ128、129、130を備えている。PLL102は、端子RCLKからの基準クロックと端子CLKIからの内部クロックとを入力する位相比較器103と、インタフェースバッファ112及び端子CLKIと位相比較器103の入力端との間にそれぞれ挿入された第1、第2の可変遅延素子106、107と、基準クロックを 30 入力とし通倍クロックを発生する通倍クロック発生器105と、カウンタ104と、第1～第4の遅延素子108～111とを備えている。なお、PLL回路における位相比較器の出力を受けるローパスフィルタ、ローパスフィルタの出力電圧を制御電圧として入力し内部クロックを出力する電圧制御発振器（VCO）は図示されていない。

【0020】経路1は、基準クロック入力端子RCLKからI/Fバッファ112、第1の可変遅延素子106を経て位相比較器103の第1の入力端までの基準クロックの経路であり、経路2は、PLL102の入力端子CLKIから第2の可変遅延素子107を通して位相比較器103の第2の入力端までの帰還クロックの経路である。

【0021】経路3は、通倍クロック発生器105から、第1の遅延素子108、I/Fバッファ113の出力端を介してI/Fバッファ114の入力端に折り返され、第2の遅延素子109を通して再び通倍クロック発生器105に帰還する経路である。

【0022】経路4は、通倍クロック発生器105から第3の遅延素子110を通してPLL102の端まで達 50

し、再び、第4の遅延素子111を介して通倍クロック105に帰還する経路である。

【0023】経路3と経路4の遅延値を通倍クロック発生器105の通倍クロックでカウンタ104にてそれぞれカウントし、カウント値に基づき、第1、第2の可変遅延素子106、107の遅延時間を制御する。

【0024】本発明の一実施例の動作について説明する。

【0025】LSI101の電源投入時またはリセット実行時に、LSI101の外部入力端子RCLKから入力された基準クロックを入力として通倍クロック発生器105から通倍クロックを発生し、経路3と経路4のクロックの遅延値を、カウンタ104で測定し、その測定結果によって、第1、第2の可変遅延素子106、107の遅延量を制御して、経路1と経路2の遅延値を同じにする。

【0026】経路3と経路4の遅延時間測定の際に、通倍クロック発生器105から、経路3の遅延素子108、及び、経路4の遅延回路110に対して同時にクロックパルスを出力し、例えば経路4の遅延回路111からクロックパルスが帰還入力された時点で、カウンタ104をスタートさせ、経路3の遅延回路109からクロックパルスが帰還入力された時点で、カウンタ104をストップさせる。カウンタ104のカウント値には、経路3と経路4の遅延量が設定される。なお、経路4の方が経路3よりも遅延時間は小さいものとする。

【0027】第1、第2の遅延素子108、109、及び第3、第4の遅延素子110、111の遅延時間を等しくし、I/Fバッファ113、114の遅延特性をI/Fバッファ112と等しくすると、カウンタ104のカウント値としては、経路3と経路4の遅延時間の差は、経路1と経路2の遅延時間の差を2倍したものと等価となる。

【0028】よって、第2の可変遅延素子107の遅延時間を、第1の可変遅延素子106の遅延時間に対して、カウンタ104のカウント値の1/2に相当する遅延量分多く設定するか、第1の可変遅延素子106の遅延時間を、第2の可変遅延素子107の遅延時間に対して、カウンタ104のカウント値の1/2に相当する遅延量分小さく設定することで、経路1と経路2の遅延時間が一致し、製造バラツキやLSI内部の配線状況が変わっても、常に精度の高い位相比較ができる。

【0029】なお、第1、第2の可変遅延素子106、107は、例えばCMOSインバータを構成するPチャネルMOSトランジスタのソースと高電位電源間に並列に接続されたPチャネルMOSトランジスタ群と、CMOSインバータを構成するNチャネルMOSトランジスタのソースと低電位電源間に並列に接続されたNチャネルMOSトランジスタ群とを備えたインバータを単位遅延回路として備え、NチャネルMOSトランジスタ群の

ゲートとPチャネルMOSトランジスタ群のゲートに、カウンタ104のカウンタ出力とその反転信号をそれぞれ接続することで電流駆動能力を可変させることで、遅延量を可変に設定する構成としてもよい。

【0030】図2は、本発明の第2の実施例の構成を示す図である。図2を参照すると、補本発明の第2の実施例においては、図1に示した前記実施例と相違して、カウンタ104Aが、初期値がロードされるカウンタとして構成され、該初期値を設定する端子115を備えている。

【0031】端子115からカウンタ104の初期値の変更を行うことにより、LSI101の基準クロック端子RCLKから位相比較器102の入力端の間の経路1と経路2の間に任意の遅延時間の差（位相差）を与えることができる。

【0032】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0033】本発明の第1の効果は、PLLの位相同期の精度を向上することができる、ということである。

【0034】その理由は、本発明においては、PLL内の位相比較器で位相が比較される2つの経路の遅延値を、自動で補正する構成としているためである。

【0035】本発明によれば、製造バラツキやLSI内部の配線状況ががが変わっても、常に精度の高い位相比較を行うことができる。

【0036】本発明の第2の効果は、PLLによる位相同期の精度が向上したことにより、LSIの回路動作の安定性を向上する、ということである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の構成を示す図である。

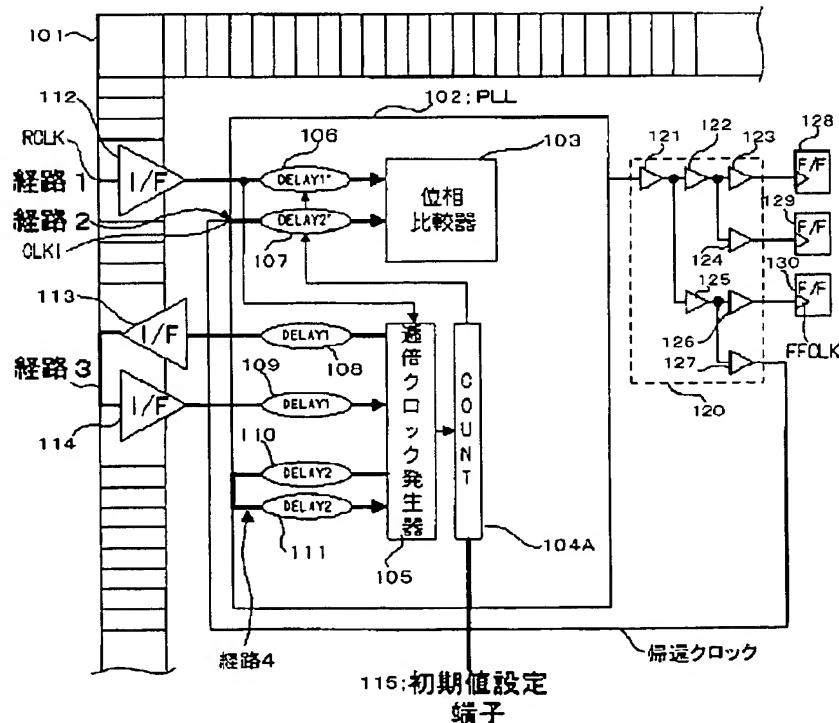
【図3】従来の回路構成の一例を示す図である。

【図4】従来の回路構成の別の例を示す図である。

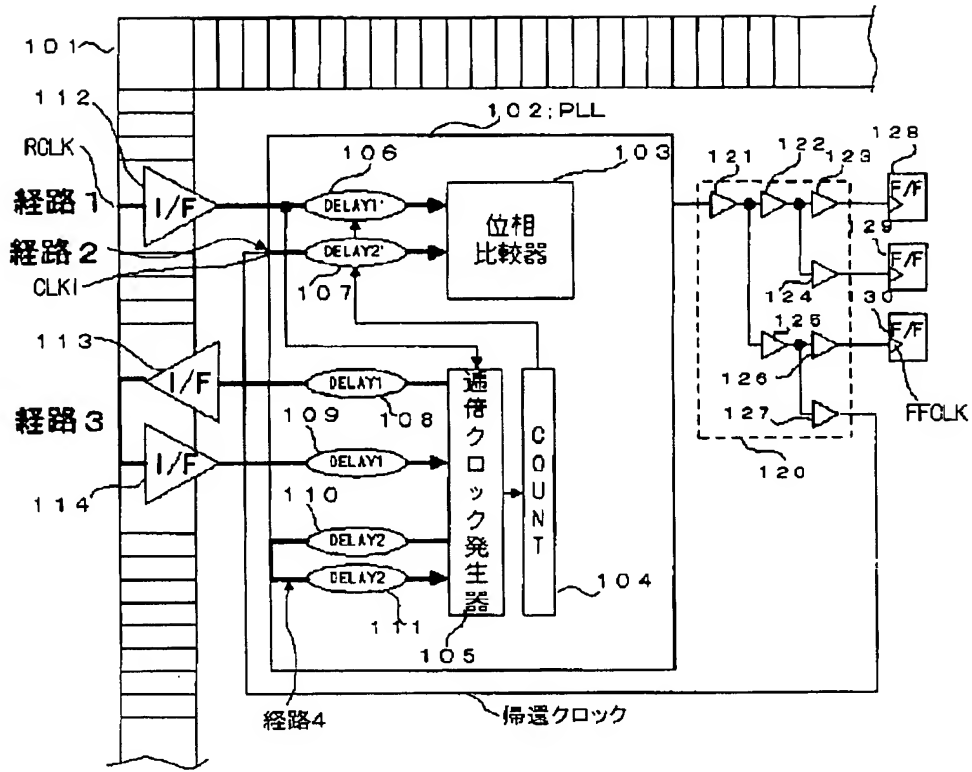
【符号の説明】

- 10 21、29 遅延素子
22 バッファ
24 アップダウンカウンタ
25 デコーダ
26、27 トランスファゲート
101、201、301 LSI
102 PLL
23、103、302 位相比較器
104 カウンタ
105 通信クロック発生器
20 106、107 可変遅延素子
108、109、110、111 遅延素子
112、113、114、212、304 インタフェースバッファ
120 CTSバッファ
121～127、306～312 バッファ
128～130、313～315 フリップフロップ

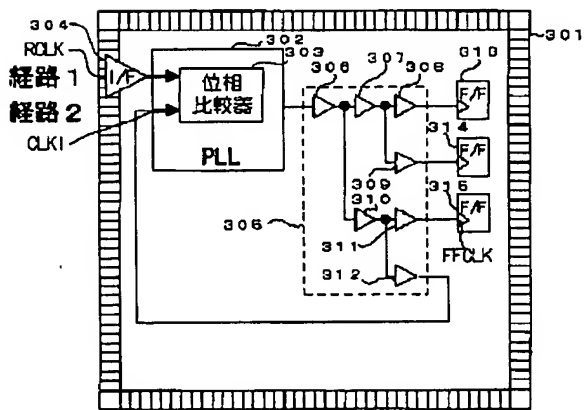
【図2】



【図 1】



【図 3】



【図4】

